



1

## 【特許請求の範囲】

【請求項1】複数ライン同時選択を行う液晶表示装置において、

入力された画像信号を列電圧信号に変換する画像信号処理回路と該列電圧信号を列電圧に変換する列ドライバとを有し、

該画像信号処理回路は、

全体で1フレーム分を超える画像信号を保存可能な複数のフレームメモリと、

入力された画像信号を前記複数のメモリに書き込む前に、一旦保存する入力ポートと、

前記複数のメモリからの出力を一旦保存する出力ポートと、

出力ポートからの画像信号と行選択パターン信号とから列電圧信号を演算する列電圧信号演算回路とを備えていることを特徴とする液晶表示装置。

【請求項2】該画像信号処理回路は、階調を含んだ画像信号を入力ポートに転送する前に複数フレームの二値信号に変換するフレーム変調回路を備えていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】該画像信号処理回路は集積回路とされることを特徴とする請求項1または請求項2記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高速で応答する液晶に適した液晶表示装置を駆動する方法に関する。特に、本発明は、MLS法(複数ライン同時選択法)でマルチプレックス駆動を行う、単純マトリクス型液晶表示装置に関する。具体的には、データ処理、すなわち表示されるべきデータを受けてMLS法にのっとった演算を行い、表示ドライバにデータを送る回路の構成に関する。

## 【0002】

【従来の技術】以下、本明細書ではデータ電極を列電極といい、走査電極を行電極という。

【0003】従来のSTN(スーパーパーツイステッドネマティック)液晶素子は、印加電圧の実効値に依存して応答する液晶表示素子である。しかし、このような素子において、高速応答する液晶素子を用いると、オン状態とオフ状態との間で光学的変化が小さくなり、コントラストが低下するという現象(フレーム応答)があり、問題となる。

【0004】このような問題を解決するために、最近、MLS法が提案された。MLS法においては、列表示パターンを独立に制御するために、同時に印加される各行電極には一定の電圧パルス列が印加される。

【0005】この各行電極に印加される選択パルス電圧群はL行K列の行列(これを以後、選択行列(A)という)として表せる。選択パルス電圧系列は互いに直交なベクトル群として表せるため、これらを列要素として含

2

む行列は直交行列となる。このとき行列内の各行ベクトルは互いに直交である。行の数Lは同時選択数に対応し、各行はそれぞれのラインに対応する。たとえば、L本の選択ラインの中のライン1には、選択行列(A)の1行目の要素が適応され、1列目の要素、2列目の要素の順に選択パルスが印加される。

【0006】図4は列電極に印加される電圧波形のシーケンスをどのように決めるかの概念を示した説明図である。4行4列のアダマール行列を選択行列とする場合を10例にとって説明する。選択行列(A)の表記において、1は正の選択パルスを、-1は負の選択パルスを意味することとする。

【0007】列電極iおよび列電極jにおける表示データが図4(a)に示したようになっているとする。列表示パターンは図4(b)に示すようにベクトル(d)として表される。ここで列要素が-1のときはオン表示を表し、1のときはオフ表示を表す。行電極に、行列の列の順に順次行電極電圧が印加されていくとすると、列電極電圧レベルは図4(b)に示すベクトル(v)のよう20になる。これは、列表示パターン(画像表示データ)と対応する選択行列の列(行選択パターン)とについて、ビットごとに排他的論理和をとった和に対応している。その波形は図4(c)のようになる。図4(c)において、縦軸、横軸はそれぞれ任意単位である。

【0008】実際には、部分ライン選択の場合、液晶表示素子のフレーム応答を抑制するために、1表示サイクル内で分散して電圧印加されることが好ましい。具体的には、たとえば、1番目の同時選択される行電極群(これを以下、サブグループという)に対するベクトル30(v)の第1番目の要素が印加された次には、2番目の同時選択される行電極群に対するベクトル(v)の第1番目の要素が印加され、以下同様のシーケンスをとる。

【0009】表示データが2値ではなく階調を有する場合には、フレーム間引き法によって階調を実現できる。また、特開平6-138854号や特開平6-236167号で提案されているような振幅変調も使用できる。

## 【0010】

【発明が解決しようとする課題】ところで、入力される画像信号の周波数と、液晶表示素子側の1表示サイクル40の周波数とは一般的に異なる。液晶表示素子を駆動する波形の基本的なパルス幅は、走査線の多密度や、表示の見やすさの観点から、10~数10ms程度に決められることが多い。したがって、1表示サイクルの周波数は走査線数にもよるが、70~200Hz程度になることが多い。一方、入力される画像信号の周波数は60Hz程度であることが多い。

【0011】したがって、各々のタイミングを調節する必要がある。この調整は、画像信号を一旦メモリに書き込み、書き込まれたデータを書き込みと非同期で読み出50すことによって行われるのが一般的である。

【0012】図5は、このようなメモリの数を減らすために、出願人が既に提案している回路構成である（特開平6-348237号）。

【0013】階調情報を持ったRGBそれぞれ3ビットの画像データはフレーム変調回路110により、画像データ入力に対応して各表示サイクルごとにオン／オフ1ビットのデータに変換して直並列変換器120に出力する。直並列変換器120に入力された1ビットシリアルデータは所定のビット幅のパラレルデータに変換される。直並列変換器120としては、シフトレジスタが使用できる。

【0014】メモリ（VRAM）130は1フレーム分の画像信号を保存するものである。メモリ130への入力の際には、RGBのデータをまとめして、ランダムアクセスモードを用い、同じ列電極に対応した行電極上のデータは、同時選択されるL本の行電極について隣り合うL個のアドレスに格納する。メモリ130からの読み出しが高速な順次アクセスモードで行い、出力はフォーマットコンバータ190へ送られる。

【0015】フォーマットコンバータ190は、データフォーマットを整理し直す回路であり、縦横変換などが含まれる。データフォーマットされた信号は、列電圧信号演算回路180へ送られる。

【0016】列電圧信号演算回路180には行選択パターン発生器70からの信号も入力されて、列電圧信号の演算、形成に使用する。列電圧信号演算回路180から出力される信号は列ドライバ80に入力されて列電圧が形成され、液晶パネル40の列電極に入力される。一方、行選択パターン発生器70からの信号は行ドライバ90に入力されて行電圧が形成され、液晶パネル40の行電極に入力される。また、列ドライバ80と行ドライバ90とはそれぞれ、ドライバコントロール回路60によって、制御されている。さらに、画像信号処理回路200は処理制御回路150によって、制御されている。図の簡単のため、処理制御回路150の結線は省略した。

【0017】この方法では、メモリに格納する前に、フレーム変調を行っているので、比較的簡素な回路が実現されている。しかし、メモリ読み出しのタイミングは、データ入力のタイミングに同期するものになっており、液晶表示モジュール側のフレーム周波数の高さを充分に生かすものになっていたいなかった。すなわち、フレーム周波数が低いため、フリッカーが目立つ問題があった。

【0018】また、メモリとして使用するVRAMは比較的高価で、液晶表示装置のシステム全体では低コスト化が充分ではなかった。

【0019】さらに、メモリへの高速なアクセスが必要なため、消費電力や放射ノイズが比較的大きいという問題もあった。

【0020】

【課題を解決するための手段】本発明は、前記の課題を解決するために、複数ライン同時選択を行う液晶表示装置において、入力された画像信号を列電圧信号に変換する画像信号処理回路と該列電圧信号を列電圧に変換する列ドライバとを有し、該画像信号処理回路は、全体で1フレーム分を超える画像信号を保存可能な複数のフレームメモリと、入力された画像信号を前記複数のメモリに書き込む前に、一旦保存する入力ポートと、前記複数のメモリからの出力を一旦保存する出力ポートと、出力ポートからの画像信号と行選択パターン信号とから列電圧信号を演算する列電圧演算回路とを備えていることを特徴とする液晶表示装置、を提供する。

【0021】また、画像信号処理回路は、階調を含んだ画像信号を入力ポートに転送する前に複数フレームの二値信号に変換するフレーム変調回路を備えていることを特徴とする前記の液晶表示装置を提供する。

【0022】さらに、画像信号処理回路は集積回路とされることを特徴とする前記の液晶表示装置を提供する。

【0023】

【作用】本発明においては、画像信号処理回路が、1フレーム分の画像信号を保存可能な複数のメモリと、入力された画像信号を前記複数のメモリに書き込む前に、一旦保存する入力ポートと、前記複数のメモリからの出力を一旦保存する出力ポートと、出力ポートからの画像信号と行選択パターン信号とから列電圧信号を演算する列電圧演算回路とを備えているため、当該複数画面分のメモリに異なるデータを書き込むことが可能になるので、フリッカーの少ない表示が可能になる。

【0024】また、階調を含んだ画像信号を入力ポートに転送する前に複数フレームの二値信号に変換するフレーム変調回路を備えることにより、フリッカーの少ない表示を可能とするとともに、メモリ数を削減できる。

【0025】さらに、画像信号処理回路を集積回路とすることにより、メモリの読み書きのデータ幅を広くすることができるるので、アクセス速度の小さいメモリ（たとえばDRAMなど）も用いられる。

【0026】

【実施例】

【実施例1】図1は、本発明による画像信号処理回路100の実施例を示す。画像信号処理回路100は、フレーム変調回路1、入力ポート（シフトレジスタ）2、メモリ（DRAM）3、4、出力ポート（シフトレジスタ）5、ドライバコントロール回路6、行選択パターン発生器7、列電圧信号演算回路8、処理制御回路15を備えている。

【0027】入力される画像信号はRGB各色並列のデジタル信号であり、階調数に応じたビット数を有する。すなわち、16階調のときは、各色4ビットずつで計12ビットのデータ、64階調のときは、各色6ビットずつで計18ビットのデータである。この画像信号と

ともに、水平同期信号、垂直同期信号、イネーブル信号、クロック信号などが入力されてタイミングがコントロールされる。

【0028】入力画像信号のフレーム周波数はディスプレイコントローラに依存し、たとえば、VGAのRGB 64階調モードでは、通常60Hzである。すなわち、1秒間に60枚の画像が送られてくる。前述のように、高速応答STN液晶表示のフレーム周波数は、フリッカー抑制のため、高速のリフレッシュが必要であり、一般に入力画像信号のフレーム周波数よりも高い。特に、フレーム変調との組み合わせでは、100Hz以上のフレーム周波数になる。本発明では、2つのフレーム周波数の間のタイミング調整を、画像信号処理回路100で行う。

【0029】本実施例は、入力画像信号のフレーム周波数を60Hzとし、液晶表示モジュールにおけるフレーム周波数が120Hzとした場合の構成であり、画像信号処理回路100は、2画面分のメモリを備えている。一般に、本発明の駆動方式においては、液晶表示モジュールにおけるフレーム周波数が60～120Hzの場合は、2フレーム分のメモリを備えることにより、また液晶表示モジュールにおけるフレーム周波数が120～180Hzの場合は、3フレーム分のメモリを備えることにより、駆動が容易となる。

【0030】フレーム変調回路1では、入力された複数ビットの階調データを複数フレームの1ビットデータに変換する。本実施例では、空間変調を併用して、時間的にオン／オフパターンの位置をずらしてフリッカーの低減を図っており、8フレームを使って16階調表示を行う。フレーム変調回路1でのデータ変換は1フレームから8フレームまでに対応したルックアップテーブルを用意して、それを参照することにより行う。もちろんこのデータ変換をルックアップテーブルを使用せず、演算で行うことは任意である。

【0031】入力ポート2は、フレーム変調回路1から転送された複数フレームのデータをKピクセル分の並列データに変換し、一度に大量のデータを後段のメモリ3、4に転送可能にする。Kの値が大きいほど一度に転送できるデータ量を大きくできる。本実施例では入力ポート2としてシフトレジスタを用いる。

【0032】メモリ3、4としては、1画面分のデータを格納できる容量を備えたものであれば、形式にかかわらず用いられる。特に、本発明の画像信号処理回路を集積化して、メモリを内蔵すれば、メモリの読み書きのデータ幅を広くすることができるので、アクセス速度の小さいメモリ（たとえばDRAMなど）も用いられる。価格の安いDRAMを用いることはコストの観点からきわめて有利である。すなわち、本発明は、低コスト、低速度のDRAMを使用できるため、低消費電力化、低放射ノイズ化の観点で非常に有効である。

【0033】出力ポート5は、メモリ3、4から転送されたデータを列電圧信号演算回路8に転送する。本実施例では、入力ポート2と同様にシフトレジスタを用いる。

【0034】本実施例では、読み書きは、同一のメモリバス上で行う。入力ポート2や出力ポート5は、時間的に読み書きの信号がぶつからないように、かつ効率的にアクセスできるように制御する機能を有する。

【0035】列電圧信号演算回路8では入力された画像データと対応する行選択パターンとの排他的論理和をとり”1”の数を数えて出力する。このデータは表示データとして液晶表示モジュールの列ドライバ80へ送られる。

【0036】行選択パターン発生器7は、選択行列基づく行選択パターンを発生する。行選択パターンは、行ドライバ90に送られて行電圧が形成されるほか、列電圧信号演算回路8に送られて、列電圧信号形成のための演算に用いられる。

【0037】ドライバコントロール回路6は列ドライバ80および行ドライバ90等のタイミング等を制御する回路である。ドライバ制御に必要なクロック、ラッチ信号などを発生し、行選択パターン発生器7、列ドライバ80および行ドライバ90に出力する。

【0038】処理制御回路15は、画像信号処理回路100の動作、タイミングを制御する回路である。図では、結線を省略した。

【0039】図2は列電圧信号演算回路8の回路の1例である。4ビットのデータ信号を排他的論理和ゲート143、143、…に入力する。排他的論理和ゲート143にはそれぞれ行選択パターン発生器から行選択パターンも入力される。排他的論理和ゲート143の出力は加算器141で同時選択される行電極について加算される。

【0040】この図に示すように、列電圧信号演算回路8へ送られる表示データは同時選択ライン数に等しい列方向のデータであり、これは、ディスプレイコントローラから画像信号処理回路100に送られるデータの転送順序とは異なる。

【0041】図3はそれらの違いを示す概念図である。図3(a)はディスプレイコントローラから画像信号処理回路100に送られるデータ転送順序を示し、図3(b)は列電圧信号演算回路8へ送られるデータの転送順序を示す。

【0042】すなわち、画像信号処理回路100に入力される画像信号は、通常、対応する表示画面の左上から横方向に向かう順序で順次RGB1組（すなわち1ピクセル）のシリアルデータとして転送される。1行目のデータがすべて転送され終わると次の行に移り、以下同様にして1画面分のデータが送られる。

【0043】転送順序を変更するためのフォーマット変

換は、メモリの読み書きの際に行われる。たとえば、メモリの書き込み時にランダムアクセスモードを用いて所定のフォーマットに変換して書き込み、読み出し時には順次、高速に連続して読み出す方法、または、書き込み時に高速で順次、書き込み、読み出し時にランダムアクセスモードで所定のフォーマットで読み出す方法などがある。いずれの場合でも、画像信号処理回路を集積化して、メモリを当該集積回路に内蔵することにより、メモリの読み書きのデータ幅が広くとれる。したがって、シリアルデータをポートに蓄えてデータ幅の広いパラレルデータとして扱うことにより、メモリのアクセス時間に余裕をもたせることができる。

【0044】以下に、本実施例における回路の動作について説明する。

【0045】画像信号処理回路100に入力された画像データは、フレーム変調回路1のルックアップテーブルを参照することにより、全体で8フレームの1ビット信号に変換される。8フレーム分の1ビット信号は、本実施例では2フレームずつ変換されて出力される。

【0046】最初に、まずこのうちの第1フレームおよび第2フレームに対応する1ビット信号が、入力ポート2に出力される。入力ポート2は、メモリ3、4に書き込むことのできる量を一旦蓄えてから、第1フレームに対応するデータはメモリ3へ、第2フレームに対応するデータはメモリ4へ書き込む。同時に、空いた時間を利用しながら、まずメモリ3から第1フレームに対応するデータの読み出しが行われ、出力ポート5を介して、列電圧信号演算回路8へ転送される。引き続いで、メモリ4から第2フレームに対応するデータの読み出しが行われ、出力ポート5を介して、列電圧信号演算回路8へ転送される。

【0047】図6は、以上のメモリへの書き込みと読み出しのタイミングの概略を示したタイミングチャートである。図のように、本実施例では、入力の2倍の周波数で出力が行われることになる。

【0048】列電圧信号演算回路8では、行選択パターン発生器7からの行選択パターンと出力ポート5からの表示データを用いて液晶表示モジュールの列ドライバ80に転送される。

【0049】次に、ディスプレイコントローラから2枚目の画像入力信号がフレーム変調回路1に入力され、今度は、第3フレームと第4フレームに対応するテーブルを用いて1ビットの信号への変換が行われ、それぞれ入力ポート2を介して、第3フレームに対応するデータはメモリ3へ、第4フレームに対応するデータはメモリ4へ書き込まれる。

【0050】これらの画像データについても、空いた時間を利用しながら、メモリ3から第3フレームに対応するデータの読み出しが行われ、出力ポート5を介して、列電圧信号演算回路8へ転送される。引き続いで、メモ

リ4から第4フレームに対応するデータの読み出しが行われ、出力ポート5を介して、列電圧信号演算回路8へ転送される。これらの読み書きのタイミング、および列電圧信号形成の演算は、第1フレームと第2フレームに対応するデータと同じである。

【0051】以下、同様にして5、6フレーム、7、8フレームのデータを転送して、1つの階調シーケンスを終える。

【0052】このように、複数画面分のメモリを備えることによって、当該複数画面分のメモリに異なるデータを書き込むことができる。また、メモリに書き込む前にフレーム変調処理を行っておくことによって、これらのメモリに格納されたデータを液晶表示モジュールのフレーム周波数に同期させて読み出せば、フリッカーの少ない表示を得るとともに、メモリ数を削減できる。また、本発明では、液晶表示モジュールの1フレームの期間は表示データが一定であり、単純マトリクス液晶駆動方式のいわゆる電圧平均化法は成立することになる。

【0053】以上のシーケンスはすべて入力信号に同期した動作に基づいて説明してきたが、必ずしも同期した動作ではなくとも駆動可能である。

【0054】また、もし、画像信号処理回路が2フレーム分を超えるメモリを備えているならば、複数フレームのデータを、メモリの数にあったフレーム数のデータに変換し、それをメモリに書き込めばよい。たとえば、3フレーム分のメモリを備えているなら、3フレームずつ処理できる。

【0055】なお、フォーマットコンバータによるデータフォーマット変換を併用してもよい。この場合は、メモリ3、4に書き込む前に行つてもよく、読み出すときに行つてもよい。

【0056】本発明の画像処理回路100を集積回路として、MLS方式のLCDモジュールの回路基板上に実装すると、TFTモジュールとのインターフェース互換性が保てるため有益である。もちろん、パーソナルコンピュータ内の回路基板上に実装することもできる。また、この回路の一部またはすべてを列ドライバのチップの上に組み込んでもよい。

【0057】【実施例2～5】以下の実施例2～5は上40下2画面分割駆動を行う場合である。入力周波数は60Hz(1周期は16.6ms)、モジュール側の駆動周波数は、120Hz(1周期は8.3ms)である。4ライン同時選択で駆動し、1スキャンの周期は2.08msとした。また、実施例1と同様に、所定の階調を表示するために、8フレームを使用する。

【0058】実施例2

メモリは3フレーム分使用する。図7はその動作、特に、メモリへの読み書きのタイミングを示す。

【0059】図の見方は以下のようである。メモリ71～74はそれぞれ1/2フレーム分のメモリであり、1

／2画面分の2値表示データを書えることができる。U F 1、U F 2、・・・は上画面の1フレームめ、2フレームめ、・・・のデータを示す。また、L F 1、L F 2、・・・は下画面の1フレームめ、2フレームめ、・・・のデータを示す。

【0060】読み書きの記号の見方は、図11に示したようである。まず、1セルの横軸は、時間軸に対応しており、1セルの横の辺の長さは入力信号の周波数の半周期を表す。したがって、2マスの長さが、入力信号の1周期に相当する時間になる。図11(a)はメモリ1の中のデータF1がF4の上に上書きされていることを示し、セル内の1本の斜線は、上記の上書き時に1回メモリ内が走査されていることを示す。

【0061】図11(b)はメモリ2の中のデータF2が読み出されていることを示し、セル内の4本の斜線は、上記の読み出し時に4回メモリ内が走査されていることを示す。本実施例では、4行4列の選択行列を用いているので、4列分の演算が必要となる。したがって、メモリからの読み出しは4回のスキャンによって4回データを読み出すことによって、行うことになる。

【0062】図11(c)はメモリ1の中のデータF1がF4の上に上書きされると同時に、データが読み出されていることを示す。すなわち、上書き時に、1回メモリが内が走査されるとともに、4回データが読み出されることを示す。

【0063】読み書きのタイミングは以下のようになる。60Hzの周波数で入力信号を受け、フレーム変調回路で1ビットのデータに変換した後、入力信号の1周期の前半の時間で、メモリ71、72にそれぞれU F 1、U F 2の各フレームに対応したフレーム変調ずみデータを書き込む。次いで、入力信号の1周期の後半の時間で、メモリ71からU F 1を読み出すとともに、メモリ74、75にそれぞれL F 1、L F 2の各フレームに対応したフレーム変調ずみデータを書き込む。

【0064】次いで、次の入力信号の1周期の前半の時間で、メモリ71、73にそれぞれU F 3、U F 4の各フレームに対応したフレーム変調ずみデータを書き込むとともに、メモリ72からU F 2を、メモリ74からL F 1をそれぞれ読み出す。そして、入力信号の1周期の後半の時間で、メモリ71からU F 3を、メモリ75からL F 2をそれぞれ読み出すとともに、メモリ74、76にそれぞれL F 3、L F 4の各フレームに対応したフレーム変調ずみデータを書き込む。

【0065】以下同様に、読み書きを行う。4行同時選択を行っているので、読み出しは、4スキャンによって行われ、その周波数は480Hzである。この実施例の利点は、読み出すときに、メモリの内容が一定で、電圧平均化法がほぼ完全に成立する点である。

【0066】実施例3

メモリは2.5フレーム分使用する。図8はその動作、

特に、メモリへの読み書きのタイミングを示す。図面の見方は図7と同様である。

【0067】読み書きのタイミングは以下のようになる。60Hzの周波数で入力信号を受け、フレーム変調回路で1ビットのデータに変換した後、入力信号の1周期の前半の時間で、メモリ81、82にそれぞれU F 1、U F 2の各フレームに対応したフレーム変調ずみデータを書き込む。次いで、入力信号の1周期の後半の時間で、メモリ81からU F 1を読み出すとともに、メモリ84、85にそれぞれL F 1、L F 2の各フレームに対応したフレーム変調ずみデータを書き込む。

【0068】次いで、次の入力信号の1周期の前半の時間で、メモリ81、83にそれぞれU F 3、U F 4の各フレームに対応したフレーム変調ずみデータを書き込むとともに、メモリ82からU F 2を、メモリ84からL F 1をそれぞれ読み出す。そして、入力信号の1周期の後半の時間で、メモリ81からU F 3を、メモリ85からL F 2をそれぞれ読み出すとともに、メモリ82、84にそれぞれL F 3、L F 4の各フレームに対応したフレーム変調ずみデータを書き込む。

【0069】以下同様に、読み書きを行う。この場合も、4行同時選択を行っているので、読み出しは、4スキャンによって行われ、その周波数は480Hzである。読み出すときに、メモリの内容が一定で、電圧平均化法がほぼ完全に成立する利点は実施例2と同じであるが、使用するメモリが半フレーム分少ない利点がさらにある。

【0070】実施例4

メモリは2フレーム分使用する。図9はその動作、特に、メモリへの読み書きのタイミングを示す。図面の見方は図7と同様である。

【0071】読み書きのタイミングは以下のようになる。60Hzの周波数で入力信号を受け、フレーム変調回路で1ビットのデータに変換した後、入力信号の1周期の前半の時間で、メモリ91、92にそれぞれU F 1、U F 2の各フレームに対応したフレーム変調ずみデータを書き込む。この際、メモリ91は同時に読み出されているので、U F 1の半分が読み出されることになる。次いで、入力信号の1周期の後半の時間で、メモリ92からU F 2を読み出すとともに、メモリ93、94にそれぞれL F 1、L F 2の各フレームに対応したフレーム変調ずみデータを書き込む。この際、メモリ94は同時に読み出されているので、L F 2の半分が読み出されることになる。

【0072】次いで、次の入力信号の1周期の前半の時間で、メモリ91、92にそれぞれU F 3、U F 4の各フレームに対応したフレーム変調ずみデータを書き込むとともに、メモリ91、93をそれぞれ読み出す。この際、メモリ91はU F 3がU F 1の上に上書きされているタイミングなので、半分はU F 1がもう半分はU F 3

が読み出されることになる。メモリ93からはLF1が読み出される。

【0073】入力信号の1周期の後半の時間では、メモリ93、94にそれぞれLF3、LF4の各フレームに対応したフレーム変調ずみデータを書き込むとともに、メモリ92、94をそれぞれ読み出す。この際、メモリ94はLF4がLF2の上に上書きされているタイミングなので、半分はLF2がもう半分はLF4が読み出される。メモリ92からはUF4が読み出される。

【0074】以下同様に、読み書きを行う。この場合も、4行同時選択を行っているので、読み出しへ、4スキャンによって行われ、その周波数は480Hzである。この方法においても、電圧平均化法は、ほぼ完全に成立する。4回のスキャンの間、メモリの内容が変わっても、適当な2つの読み出しフレーム（たとえば、UF1ならば第1フレームと第3フレーム）を取り出して考えると、メモリの内容が4回のスキャンの間一定である場合と等価になっているからである。また、使用するメモリは実施例4よりもさらに半フレーム分少ない利点がある。

#### 【0075】実施例5

メモリは1.5フレーム分使用する。図10はその動作、特に、メモリへの読み書きのタイミングを示す。図面の見方は図7と同様である。

【0076】読み書きのタイミングは以下のようになる。60Hzの周波数で入力信号を受け、フレーム変調回路で1ビットのデータに変換した後、メモリへの読み書きが行われるのは、実施例2～4と同様である。

【0077】この実施例では、データの読み出しへ、必ずメモリ101および103から行われる。また、書き込みは、入力信号の前半の時間では、メモリ101および102に対して、入力信号の後半の時間では、メモリ102および103に対して行われる。そして、入力信号の前半の時間では、メモリ102からメモリ103に対してデータの転送（TRANSFER）が行われ、入力信号の後半の時間では、メモリ102からメモリ101に対して、データの転送が行われる。具体的には、以下のようになる。

【0078】入力信号の1周期の前半の時間で、メモリ101、102にそれぞれUF1、UF2の各フレームに対応したフレーム変調ずみデータを書き込む。この際、メモリ101は同時に読み出されているので、UF1の半分が読み出されることになる。次いで、入力信号の1周期の後半の時間で、メモリ102からメモリ101にデータUF2を転送しながら、メモリ102とメモリ103とにそれぞれデータLF2、LF1を書き込む。また同時に、メモリ101とメモリ103とからそれぞれデータを読み出す。この際、メモリ101はデータが、UF1からUF2に変化しているので、それぞれほぼ半分ずつ読み出されることになる。また、メモリ1

03はデータが、まえのデータからLF1に変化しているので、LF1はほぼ半分だけ読み出されることになる。

【0079】次いで、次の入力信号の1周期の前半の時間で、メモリ102からメモリ103にデータLF2を転送しながら、メモリ101とメモリ102とにそれぞれデータUF3、UF4を書き込む。また同時に、メモリ101とメモリ103とからそれぞれデータを読み出す。この際、メモリ101はデータが、UF2からUF3に変化しているので、それぞれほぼ半分ずつ読み出されることになる。また、メモリ103はデータが、LF1からLF2に変化しているので、やはりそれほぼ半分だけ読み出されることになる。

【0080】以下同様に、読み書きを行う。この場合も、4行同時選択を行っているので、読み出しへ、4スキャンによって行われ、その周波数は480Hzである。この方法においても、実施例4と同様の理由で電圧平均化法は、ほぼ完全に成立する。使用するメモリが実施例4よりもさらに半フレーム分少ない利点もある。

【0081】実施例4および5において、データ読み出しの間、メモリの内容が変化するときは、サブグループ内で別々のフレームデータが混ざらないように配慮するとフレーム変調方式に自由度が増し、波形ひずみに起因する輝度の不均一性が改善される。

【0082】そのためには、書き込み時に（同時選択行本数）分の付加メモリに1サブグループ分のデータを蓄えてから、上述したメモリに転送すればよい。さらに、空間変調を使用する場合に、表示の均一性を向上するためには、上記付加メモリの容量を（同時選択行本数と空間変調に用いるディザなどのマトリクスの行数との最小公倍数）×（空間変調に用いるディザなどのマトリクスの列数の倍数）とすればよい。

【0083】たとえば、同時選択行本数が4で、ディザマトリクスが8×8行列のときは、最小で8×8の付加メモリを用いればよい。もちろん、VGA表示をする場合は8×640の付加メモリでもよい。

【0084】かかる付加メモリとしては、上記メモリとは別に複数のラインメモリを用いてもよいし、また、上記メモリに必要な容量を付加してもよい。上記メモリに必要な容量を加えた場合には、データ転送に使用するバスラインを共通に使える利点がある。

#### 【0085】

【発明の効果】本発明の回路により、MLS駆動法に必要な列電圧の高速演算を実現しながら、安価なダイナミックメモリの使用を可能にし、かつメモリ数を削減して回路の簡素化が可能となり、コスト削減、消費電力低減、放射ノイズ削減を図れる。

【0086】また、入力画像データのフレーム周波数に拘束されず、実質的に高いフレーム周波数でメモリからデータを読み出せるので、フリッカーを抑えた表示を実

現できる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】列電圧信号演算回路を示す回路図である。

【図3】ディスプレイコントローラからのデータ転送順序と列電圧演算回路へ送られるデータ転送順序との違いを示す概念図である。

【図4】MLS法の基本概念を示す概念図である。

【図5】先に提案されている例を示すブロック図である。

【図6】本発明の実施例における、メモリ読み書きのタイミングを示すタイミングチャートである。

【図7】本発明の実施例2における、メモリ読み書きのタイミングを示すチャートである。

【図8】本発明の実施例3における、メモリ読み書きのタイミングを示すチャートである。

【図9】本発明の実施例4における、メモリ読み書きのタイミングを示すチャートである。

【図10】本発明の実施例5における、メモリ読み書きのタイミングを示すチャートである。

【図11】(a)～(c)は図7～図10の見方を示す説明図である。

【符号の説明】

1：フレーム変調回路

2：入力ポート

10 3、4：メモリ

5：出力ポート

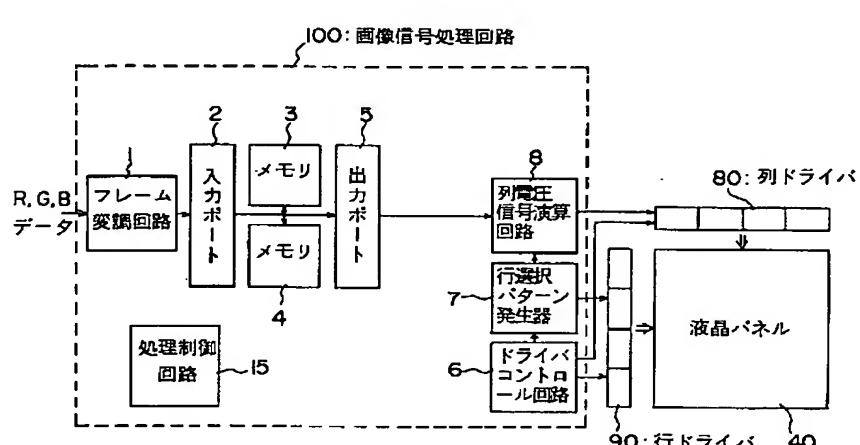
6：ドライバコントロール回路

7：行選択パターン発生器

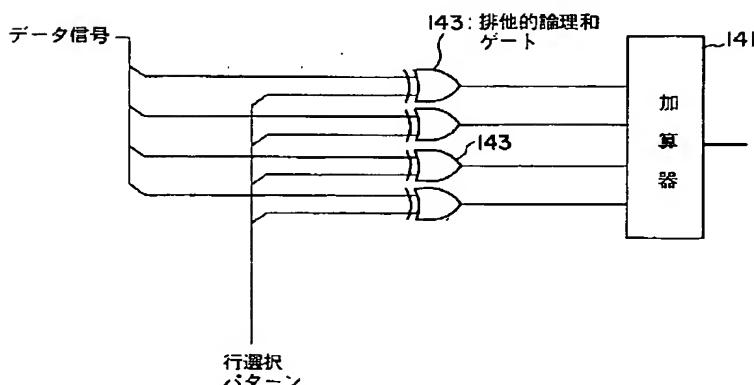
8：列電圧信号演算回路

10：処理制御回路

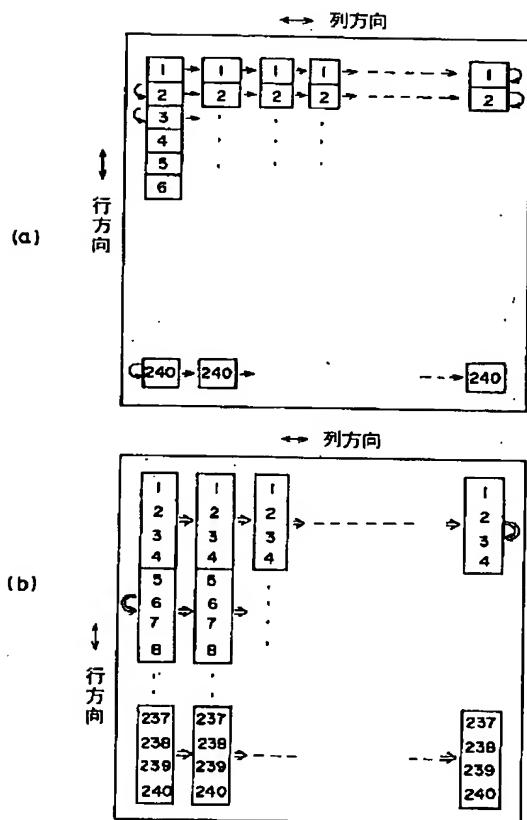
【図1】



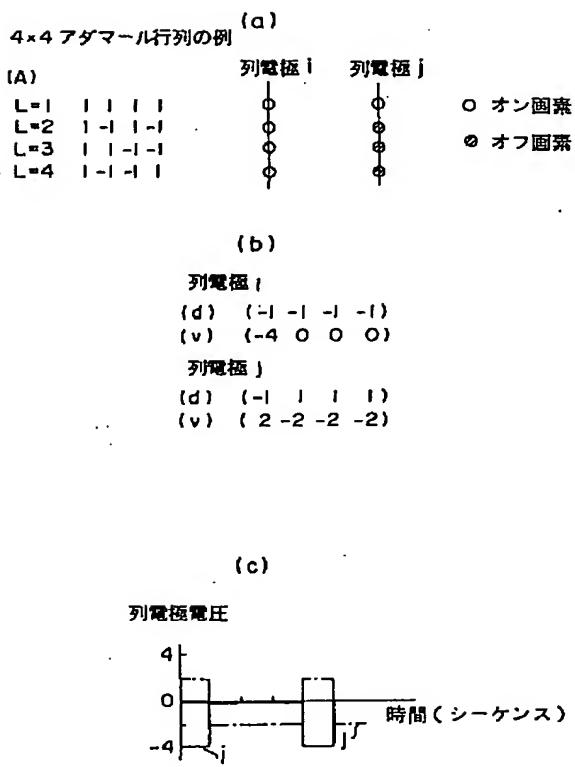
【図2】



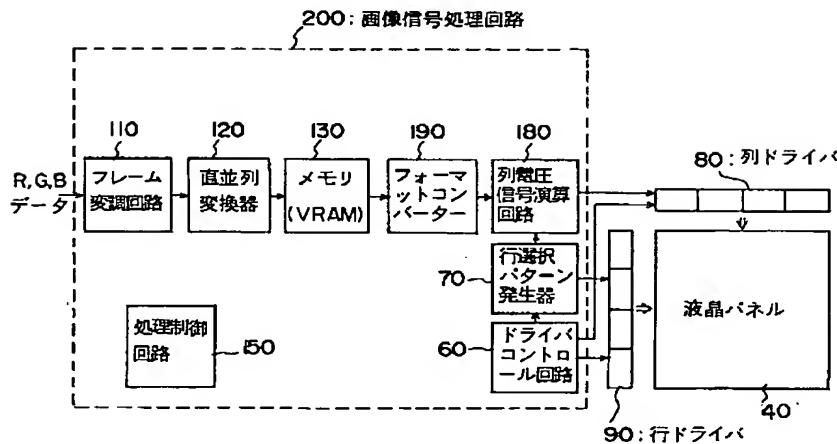
【図3】



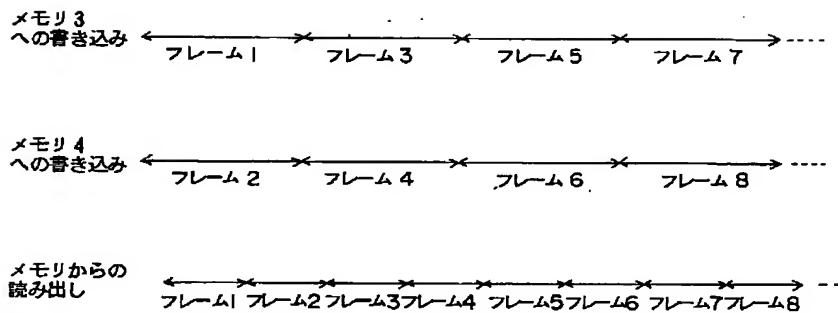
【図4】



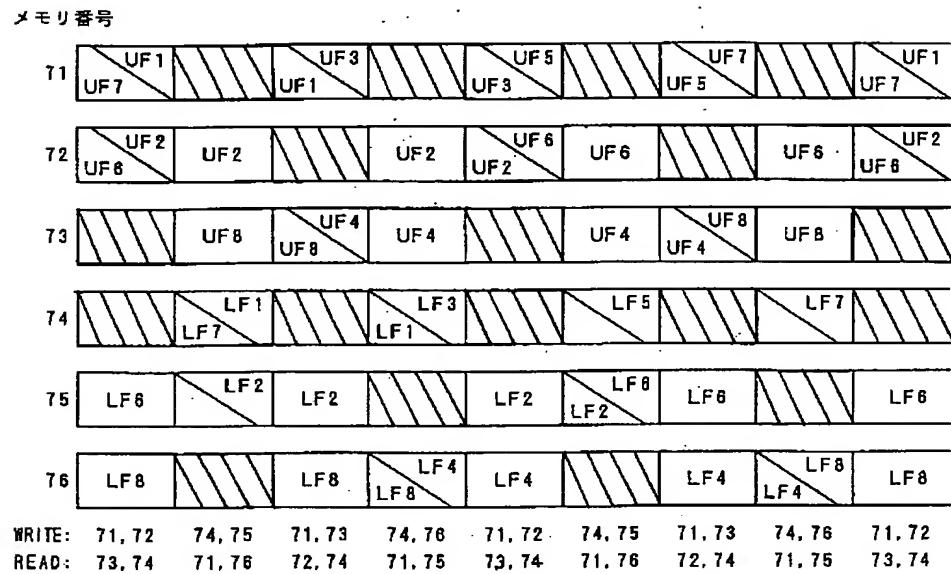
【図5】



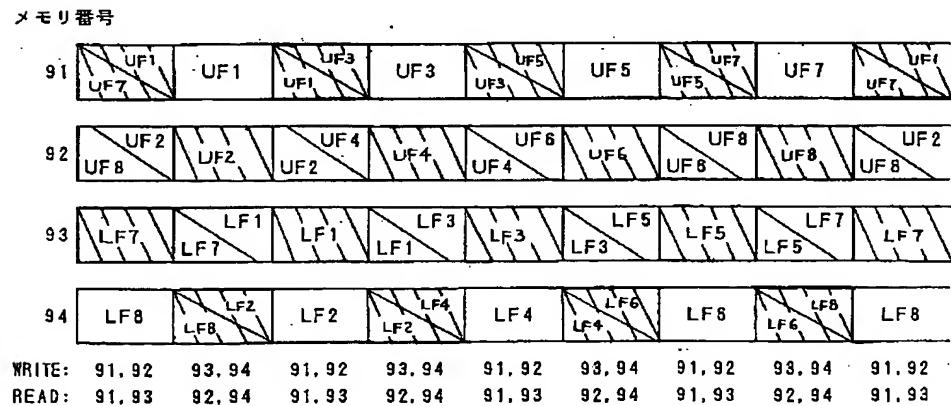
【図6】



【図7】

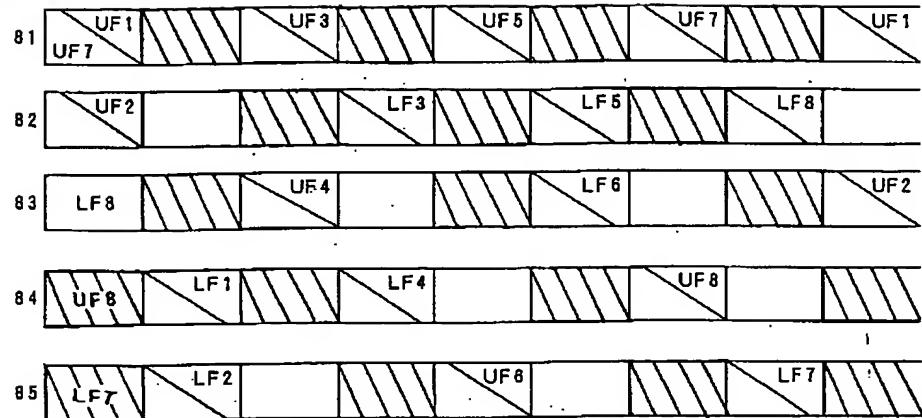


【図9】



【図8】

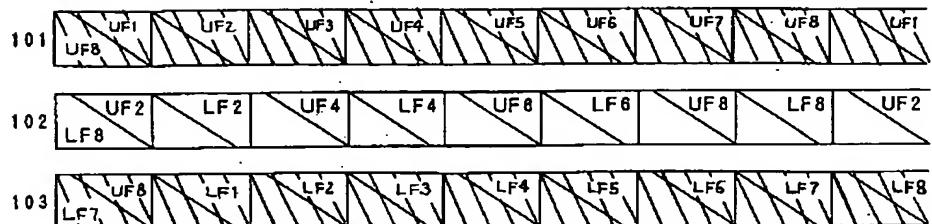
メモリ番号



WRITE: 81,82 84,85 81,83 82,84 81,85 82,83 81,84 82,85 81,83  
 READ: 84,85 81,83 82,84 81,85 82,83 81,84 82,85 81,83 84,85

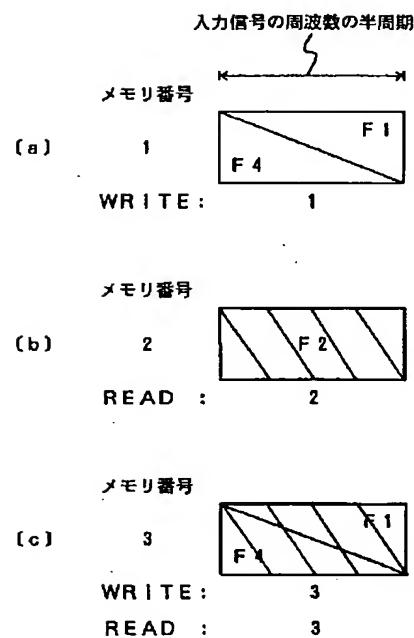
【図10】

メモリ番号



WRITE: 101,102 102,103 101,102 102,103 101,102 102,103 101,102 102,103 101,102  
 READ: 101,103 101,103 101,103 101,103 101,103 101,103 101,103 101,103 101,103  
 TRANSFER: 102→103 102→101 102→103 102→101 102→103 102→101 102→103 102→101 102→103

【図11】




---

フロントページの続き

(72) 発明者 茂木 宏之  
神奈川県横浜市神奈川区羽沢町1150番地  
旭硝子株式会社中央研究所内

(72) 発明者 中沢 聰  
神奈川県横浜市神奈川区羽沢町1150番地  
旭硝子株式会社中央研究所内

(72) 発明者 永井 真  
神奈川県横浜市神奈川区羽沢町1150番地  
旭硝子株式会社中央研究所内